

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-357949

(43)Date of publication of application : 26.12.2000

(51)Int.Cl.

H03K 5/08
H01L 27/04
H01L 21/822
H03K 19/003
H03K 19/018
H03K 19/0944
H04L 25/02

(21)Application number : 11-168164

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 15.06.1999

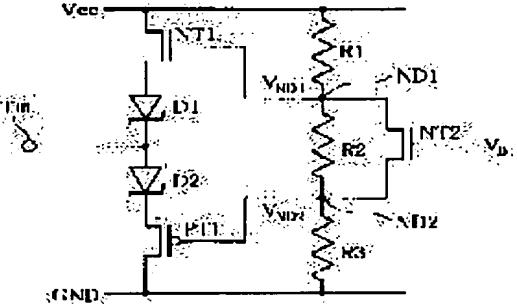
(72)Inventor : OYAMADA SHIGEMASA

(54) CLAMPING CIRCUIT AND INTERFACE CIRCUIT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clamping circuit where circuit constitution can be simplified, the range of clamping voltage can easily be set and power consumption can be reduced, and to provide an interface circuit using the clamping circuit.

SOLUTION: An nMOS transistor NT1 and a diode D1 and are connected in series between the supply line of power voltage Vcc and an input terminal Tin, and a diode D2 and a pMOS transistor PT1 are connected in series between the input terminal Tin and a ground potential GND. Divided voltage VND1 and VND2, obtained from resistors R1, R2 and R3 connected to the control terminals of the transistors NT1 and PT1 in series, are respectively applied to the bases of the transistors NT1 and PT1. A transistor NT2 is connected in parallel to the resistor R2. The divided voltage is controlled by a control voltage VB inputted to the control terminal of NT2, and the range of clamping voltage can be controlled. The terminating resistor of a transmission line can be omitted by connecting a clamping circuit to the input sides of respective buffer on the transmission line.



LEGAL STATUS

[Date of request for examination]

15.06.1999

BEST AVAILABLE COPY

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3499157

[Date of registration] 05.12.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-357949

(P2000-357949A)

(43)公開日 平成12年12月26日 (2000.12.26)

(51)Int.Cl.⁷
H 03 K 5/08
H 01 L 27/04
21/822
H 03 K 19/003
19/018

識別記号

F I
H 03 K 5/08
19/003
H 04 L 25/02
H 01 L 27/04
H 03 K 19/092

テーマコード^{*} (参考)
Z 5 F 0 3 8
E 5 J 0 3 2
R 5 J 0 5 6
H 5 K 0 2 9

審査請求 有 請求項の数 9 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平11-168164

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(22)出願日 平成11年6月15日 (1999.6.15)

(72)発明者 小山田 成聖

大分県速見郡日出町大字川崎字高尾4260番
地 日本テキサス・インスツルメンツ株式
会社内

(74)代理人 100094053

弁理士 佐藤 隆久

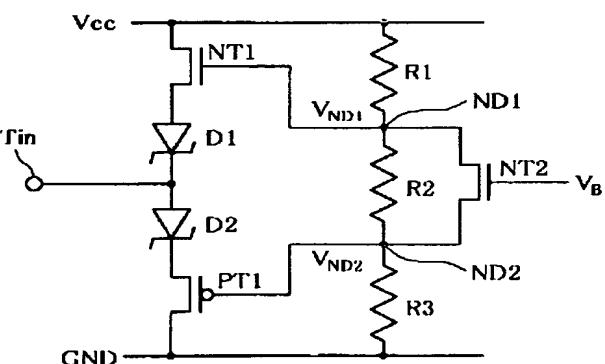
最終頁に続く

(54)【発明の名称】 クランプ回路及びそれを用いたインターフェース回路

(57)【要約】

【課題】 回路構成の簡素化が図れ、クランプ電圧の範囲を容易に設定でき、消費電力の低減を実現できるクランプ回路及びそれを用いたインターフェース回路を提供する。

【解決手段】 電源電圧 V_{cc} の供給線と入力端子 T_{in} との間に n MOS ドラゴンジスタ NT1 とダイオード D1 を直列接続し、入力端子 T_{in} と接地電位 GND との間にダイオード D2 と p MOS ドラゴンジスタ PT1 を直列接続する。ドラゴンジスタ NT1 と PT1 の制御端子に直列接続されている抵抗素子 R1, R2, R3 から得られる分圧電圧 V_{ND1} と V_{ND2} をそれぞれ印加し、さらに抵抗素子 R2 と並列にドラゴンジスタ NT2 を接続し、NT2 の制御端子に入力する制御電圧 V_B により分圧電圧を制御し、クランプ電圧の範囲を制御できる。クランプ回路を伝送線上の各バッファの入力側に接続することで、伝送線の終端抵抗を省略できる。



【特許請求の範囲】

【請求項1】入力端子と第1の電圧供給線との間に電気的に直列に接続されている第1のトランジスタと第1のダイオードとを含む第1の回路と、上記第1のトランジスタの制御端子に第1の電圧を供給するための第1の電圧供給端子と、を有し、上記第1の電圧供給端子と上記入力端子との間の電圧が所定の値になると上記第1のトランジスタが導通して上記入力端子の電圧をクランプするクランプ回路。

【請求項2】上記入力端子と第2の電圧供給線との間に電気的に直列に接続されている第2のトランジスタと第2のダイオードとを含む第2の回路と、上記第2のトランジスタの制御端子に第2の電圧を供給するための第2の電圧供給端子と、を有し、上記第1の電圧供給端子と上記入力端子との間の電圧又は上記第2の電圧供給端子と上記入力端子との間の電圧が所定の値になると上記第1又は第2のトランジスタが導通して上記入力端子の電圧をクランプする請求項1に記載のクランプ回路。

【請求項3】上記第1の電圧供給線と上記第2の電圧供給線との間に直列に接続された第1、第2及び第3の抵抗素子を有し、上記第1の抵抗素子と上記第2の抵抗素子との接続中点が上記第1の電圧供給端子を構成し、上記第2の抵抗素子と上記第3の抵抗素子との接続中点が上記第2の電圧供給端子を構成する請求項2に記載のクランプ回路。

【請求項4】上記第1のダイオードのカソードが上記入力端子に接続され、上記第1のトランジスタが上記第1のダイオードのアノードと上記第1の電圧供給線との間に接続されており、上記第2のダイオードのアノードが上記入力端子に接続され、上記第2のトランジスタが上記第2のダイオードのカソードと上記第2の電圧供給線との間に接続されており、上記第1の電圧供給線に電源電圧が供給され、上記第2の電圧供給線に接地電位が供給される請求項3に記載のクランプ回路。

【請求項5】上記第1の電圧供給端子と上記第2の電圧供給端子との間に接続された第3のトランジスタを有し、当該第3のトランジスタの制御端子に印加する電圧を制御することにより上記第1及び第2の電圧供給端子の電圧が変化する請求項4に記載のクランプ回路。

【請求項6】上記第1及び第2の回路が電気的に直列に接続された複数のダイオードを含む請求項2、3、4又は5に記載のクランプ回路。

【請求項7】上記第1のトランジスタがnチャネルMOSトランジスタであり、上記第2のトランジスタがpチャネルMOSトランジスタであり、上記ダイオードがショットキー・バリア・ダイオードである請求項2、3、4、5又は6に記載のクランプ回路。

【請求項8】信号線と、

出力端子が上記信号線に接続され、上記信号線を所定の電圧に駆動するための駆動回路と、

入力端子が上記信号線に接続され、上記信号線の電圧に応じて動作する入力回路と、

上記入力回路の入力端子に接続されているクランプ回路と、

を有し、上記クランプ回路が請求項1乃至7の何れかに記載のクランプ回路であるインターフェース回路。

【請求項9】上記信号線に接続された複数個の入力回路と、上記複数個の入力回路の各入力端子に接続された複数個のクランプ回路を有する請求項8に記載のインターフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力信号の電圧を所定の範囲内に制限するクランプ回路及び当該クランプ回路を用いたインターフェース回路に関するものである。

【0002】

【従来の技術】従来、集積回路内部やPCB (Printed Circuit Board:印刷配線基板) の配線などにはESD (Electrostatic Discharge : 静電気放電) 耐圧の向上や反射ノイズの抑制のため、ダイオード・クランプ回路またはショットキー・バリア・ダイオード・クランプ回路が用いられている。図7は、ショットキー・バリア・ダイオード・クランプ回路の一例を示している。

【0003】図7に示すように、このクランプ回路は、電源電圧 V_{CC} の供給線と接地電位GNDとの間に直列接続されているショットキー・バリア・ダイオード (Schottky Barrier Diode, ショットキー障壁ダイオードとも呼ばれ、以下の説明では、便宜上単にダイオードという) D1, D2により構成されている。

【0004】ダイオードD1のアノードが入力端子 T_{in} に接続され、カソードが電源電圧 V_{CC} の供給線に接続されている。ダイオードD2のアノードが接地され、カソードが入力端子 T_{in} に接続されている。ここで、ダイオードD1の順方向立ち上がり電圧を V_{D1} とすると、入力端子 T_{in} の信号電圧 V_{in} が($V_{in} > V_{CC} + V_{D1}$)を満足すると、ダイオードD1が導通し、入力端子 T_{in} の電圧 V_{in} は電源電圧 V_{CC} よりダイオードD1の導通電圧分だけ高い電圧にクランプされる。ダイオードD2の順方向立ち上がり電圧を V_{D2} とすると、入力端子 T_{in} の信号電圧 V_{in} が($V_{in} < -V_{D2}$)を満足すると、ダイオードD2が導通し、入力端子 T_{in} の電圧 V_{in} は接地電位GNDよりダイオードD1の導通電圧分だけ低い電圧にクランプされる。

【0005】図8は、図7に示すクランプ回路のクランプ特性を示している。図示のように、このクランプ回路を、例えば、信号伝送線の終端に接続することにより、当該信号伝送線の終端電圧が、接地電位GNDよりわず

か低い電圧から、電源電圧 V_{cc} よりわずか高い電圧までの範囲内にクランプされる。このため、伝送線の終端における信号の反射を防止でき、伝送線上の反射ノイズの発生を抑制できる。

【0006】

【発明が解決しようとする課題】ところで、上述した従来のクランプ回路において、クランプ電圧の範囲は、電源電圧 V_{cc} 及びクランプ回路に用いられているダイオードの導通電圧によって決まり、クランプ電圧を任意に設定することができない。また、ダイオードの導通電圧により、クランプ電圧範囲が電源電圧 V_{cc} 及び接地電位GNDよりわずかに遷移する。このため、例えば、接地電位GNDと電源電圧 V_{cc} の間に入力端子 T_{in} の電圧 V_{in} をクランプしたい場合、ダイオードD1のカソードとダイオードD2のアノードにそれぞれ図9に示すように、電圧 V_{c1} と V_{c2} を供給しなければならない。このため、これらの電圧 V_{c1} と V_{c2} を発生する電圧源を別途設けなければならず、回路構成の簡素化が要求される終端回路にとっては好ましくない。

【0007】本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路構成が簡単で、クランプ電圧範囲を任意に設定可能なクランプ回路及びそれを用いたインターフェース回路を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明のクランプ回路は、入力端子と第1の電圧供給線との間に電気的に直列に接続されている第1のトランジスタと第1のダイオードとを含む第1の回路と、上記第1のトランジスタの制御端子に第1の電圧を供給するための第1の電圧供給端子と有し、上記第1の電圧供給端子と上記入力端子との間の電圧が所定の値になると上記第1のトランジスタが導通して上記入力端子の電圧をクランプする。

【0009】また、本発明のクランプ回路は、入力端子と第1の電圧供給線との間に電気的に直列に接続されている第1のトランジスタと第1のダイオードとを含む第1の回路と、上記第1のトランジスタの制御端子に第1の電圧を供給するための第1の電圧供給端子と、上記入力端子と第2の電圧供給線との間に電気的に直列に接続されている第2のトランジスタと第2のダイオードとを含む第2の回路と、上記第2のトランジスタの制御端子に第2の電圧を供給するための第2の電圧供給端子と有し、上記第1の電圧供給端子と上記入力端子との間の電圧又は上記第2の電圧供給端子と上記入力端子との間の電圧が所定の値になると上記第1又は第2のトランジスタが導通して上記入力端子の電圧をクランプする。

【0010】また、本発明では、好適には、上記第1の電圧供給線と上記第2の電圧供給線との間に直列に接続された第1、第2及び第3の抵抗素子を有し、上記第1の抵抗素子と上記第2の抵抗素子との接続中点が上記第

1の電圧供給端子を構成し、上記第2の抵抗素子と上記第3の抵抗素子との接続中点が上記第2の電圧供給端子を構成する。

【0011】更に、本発明では、好適には、上記第1のダイオードのカソードが上記入力端子に接続され、上記第1のトランジスタが上記第1のダイオードのアノードと上記第1の電圧供給線との間に接続されており、上記第2のダイオードのアノードが上記入力端子に接続され、上記第2のトランジスタが上記第2のダイオードのカソードと上記第2の電圧供給線との間に接続されており、上記第1の電圧供給線に電源電圧が供給され、上記第2の電圧供給線に接地電位が供給される。

【0012】また、本発明のインターフェース回路は、信号線と、出力端子が上記信号線に接続され、上記信号線を所定の電圧に駆動するための駆動回路と、入力端子が上記信号線に接続され、上記信号線の電圧に応じて動作する入力回路と、上記入力回路の入力端子に接続されている上述のクランプ回路とを有する。

【0013】

【発明の実施の形態】図1は本発明に係るクランプ回路の一実施形態を示す回路図である。図示のように、本実施形態のクランプ回路は、ダイオードD1、D2、nチャネルMOSトランジスタ（以下、便宜上nMOSトランジスタという）NT1、NT2、pチャネルMOSトランジスタ（以下、便宜上pMOSトランジスタという）PT1及び抵抗素子R1、R2、R3により構成されている。ここで、ダイオードD1とD2は、pn接合ダイオードまたはショットキー・バリア・ダイオードの何れでもよく、図1では、一例としてショットキー・バリア・ダイオードを用いたクランプ回路を示している。

【0014】抵抗素子R1、R2とR3は、電源電圧 V_{cc} の供給線と接地電位GNDとの間に直列接続されている。抵抗素子R1とR2との接続点はノードND1を形成し、抵抗素子R2とR3との接続点がノードND2を形成する。nMOSトランジスタNT1、ダイオードD1、D2及びpMOSトランジスタPT1が電源電圧 V_{cc} の供給線と接地電位GNDとの間に直列接続されている。nMOSトランジスタNT1において、そのドレンが電源電圧 V_{cc} の供給線に接続され、ゲートがノードND1に接続されている。ダイオードD1のアノードがnMOSトランジスタNT1のソースに接続され、カソードが入力端子 T_{in} に接続されている。ダイオードD2のアノードが入力端子 T_{in} に接続され、カソードがpMOSトランジスタPT1のソースに接続されている。pMOSトランジスタPT1において、そのゲートがノードND2に接続され、ドレンが接地されている。また、nMOSトランジスタNT2において、そのドレンがノードND1に接続され、ソースがノードND2に接続され、ゲートが制御電圧 V_B の入力端子に接続されている。

【0015】上述した構成を有するクランプ回路において、入力端子T_{in}に入力される信号のレベルがある所定の範囲を超えたとき、入力信号がクランプされる。以下、本実施形態のクランプ回路の動作について説明する。

【0016】まず、nMOSトランジスタNT2のゲートに印加されている制御電圧V_Bにより、トランジスタNT2がオフ状態に保持されている場合について考察する。この場合、トランジスタNT2のドレインとソース間の抵抗が大きく、その影響を無視できる。このため、ノードND1とノードND2の電圧V_{ND1}とV_{ND2}は、A抵抗素子R1, R2, R3による分圧電圧となり、これらの抵抗素子のそれぞれの抵抗値によって決まる。例えば、電源電圧V_{CC}を3Vとし、抵抗素子R1, R2とR3の抵抗値が等しいと仮定すると、ノードND1の電圧V_{ND1}が2V、ノードND2の電圧V_{ND2}が1Vとなる。

【0017】nMOSトランジスタNT1のゲート-ソース間電圧をV_{gsn}とし、ダイオードD1の順方向立ち上がり電圧をV_{D1}とすると、入力端子T_{in}の入力信号の電圧V_{in}が(V_{ND1}-V_{gsn}-V_{D1})より低くなると、nMOSトランジスタNT1が導通し、入力端子T_{in}が(V_{ND1}-V_{gsn}-V_{D1})にクランプされる。一方、pMOSトランジスタPT1のゲート-ソース間電圧をV_{gsp}とし、ダイオードD2の順方向立ち上がり電圧をV_{D2}とすると、入力端子T_{in}の入力信号の電圧V_{in}が(V_{ND2}+V_{gsp}+V_{D2})より高くなると、pMOSトランジスタPT1が導通し、入力端子T_{in}が(V_{ND2}+V_{gsp}+V_{D2})にクランプされる。

【0018】ここで、次式のようにクランプ電圧を求める。

【0019】

【数1】

$$V_{CL1} = V_{ND1} - V_{gsn} - V_{D1} \quad \cdots (1)$$

【0020】

【数2】

$$V_{CL2} = V_{ND2} + V_{gsp} + V_{D2} \quad \cdots (2)$$

【0021】ここで、クランプ電圧V_{CL1}とV_{CL2}は、それぞれ図1に示すクランプ回路の下側クランプ電圧及び上側クランプ電圧である。入力端子T_{in}の信号電圧V_{in}は、(V_{CL1} < V_{in} < V_{CL2})を満たしているとき、クランプ回路におけるnMOSトランジスタNT1とpMOSトランジスタPT1がともに非導通状態にあり、入力端子T_{in}はハイインピーダンス状態を示す。入力信号電圧V_{in}がV_{CL1}以下になると、nMOSトランジスタNT1が導通し、入力端子T_{in}の電圧がV_{CL1}にクランプされる。一方、入力信号電圧V_{in}がV_{CL2}以上になると、pMOSトランジスタPT1がオンし、入力端子T_{in}がV_{CL2}にクランプされる。

【0022】一例として、V_{gsn}=1V、V_{gsp}=1.

3V、且つ、V_{D1}=V_{D2}=0.3Vとすると、式(1)及び(2)により、V_{CL1}=0.7V、V_{CL2}=2.6Vとなる。入力信号電圧V_{in}が0.7Vから2.6Vまでの範囲を超えたとき、クランプ回路においてnMOSトランジスタNT1またはpMOSトランジスタPT1の何れかが導通し、入力信号電圧V_{in}がクランプされる。

【0023】次に、nMOSトランジスタNT2のゲートに入力される制御電圧V_Bの制御機能について説明する。制御電圧V_Bのレベルに応じて、nMOSトランジスタNT2の導通/非導通が制御される。さらに、nMOSトランジスタNT2が導通状態にあるとき、制御電圧V_Bのレベルに応じて、nMOSトランジスタNT2のドレイン-ソース間の抵抗、いわゆるオン抵抗が変化する。

【0024】図1に示すクランプ回路において、制御電圧V_Bのレベルが高くなり、ある所定の値を越えると、nMOSトランジスタNT2がオンし、さらに、制御電圧V_Bのレベルが上昇すると、nMOSトランジスタNT2のオン抵抗値が下がっていく。

【0025】nMOSトランジスタNT2のオン抵抗が抵抗素子R2と並列に接続されている。nMOSトランジスタNT2のオン抵抗値が低下すると、ノードND1とND2との間の抵抗値が低下し、その結果、ノードND1の電圧V_{ND1}が低下し、逆に、ノードND2の電圧V_{ND2}が上昇する。

【0026】式(1)により、ノードND1の電圧V_{ND1}が低下すると、下側クランプ電圧V_{CL1}が低下する。式(2)により、ノードND2の電圧V_{ND2}が上昇すると、上側クランプ電圧V_{CL2}が上昇する。即ち、入力信号電圧V_{in}のクランプ電圧範囲が広くなる。

【0027】図2(a)と(b)は、nMOSトランジスタNT2のゲートに印加される制御電圧V_Bを制御することによるクランプ電圧範囲の変化を示している。同図(a)に、例えば、制御電圧V_Bが0Vであり、nMOSトランジスタNT2が非導通状態にある場合のクランプ電圧の範囲を示している。この場合、上述した例において、上側のクランプ電圧V_{CL2}が2.6Vであり、下側のクランプ電圧V_{CL1}が0.7Vとなる。同図(b)には、制御電圧V_Bを比較的高い電圧に設定し、nMOSトランジスタNT2が導通状態にある場合のクランプ電圧の範囲を示している。ここで、例えば、制御電圧V_Bが2.0Vのとき、nMOSトランジスタNT2がオンし、下側のクランプ電圧V_{CL1}が降下し、逆に上側のクランプ電圧V_{CL2}が上昇するので、クランプ電圧範囲が制御電圧V_Bが0Vの場合に比べて広くなる。

【0028】以上説明したように、本実施形態のクランプ回路によれば、nMOSトランジスタNT2のゲートに印加される制御電圧V_Bのレベルを調整することにより、クランプ電圧の範囲を制御でき、单一電圧の制御に

よってフレキシブルなクランプ特性が得られる。

【0029】なお、図1に示すクランプ回路では、nMOSトランジスタNT1のドレインと入力端子T_{in}との間に1段のダイオードD1のみが接続されているが、継続接続の複数段のダイオードを用いてもよい。同様に、入力端子T_{in}とpMOSトランジスタPT1のソースとの間に、継続接続の複数段のダイオードを用いてもよい。また、ノードND1とND2の電圧V_{ND1}とV_{ND2}を制御するためのnMOSトランジスタNT2は、pMOSトランジスタに置き換えるてもよい。

【0030】以下、本実施形態のクランプ回路の具体的な応用例について説明する。まず、従来のCMOSドライバーと抵抗型終端回路を有するインターフェース回路の一例を図3を参照しつつ説明する。図示のように、ここで、信号伝送線TLを駆動するドライバーDRV1は、例えば、CMOSドライバーである。伝送線TLの終端側に抵抗素子R10とR12により構成されている終端回路、いわゆるテブナン型終端回路が接続されている。この終端回路において、抵抗素子R10とR12は、電源電圧V_{cc}の供給線と接地電位GNDとの間に直列接続されている。抵抗素子R10とR12との接続中点が伝送線TLの終端に接続されている。

【0031】図3の例では、ドライバーDRV1の出力が伝送路TLを介してバッファBUF1, BUF2, ..., BUF5に伝送される。このようなインターフェース回路において、信号伝送の高速化を図り、終端の反射によるノイズを防止するため、抵抗素子を用いて終端を行う。図3に示すように、終端用の抵抗素子R10とR12が電源電圧V_{cc}供給線と接地電位GNDとの間に直列接続されている。抵抗素子R10とR12の抵抗値は、伝送路TLの特性インピーダンスZ₀に応じて設定される。通常信号伝送線の特性インピーダンスの定格値は、例えば、50Ω、75Ω又は100Ωなどに定められている。これに対応して終端用の抵抗素子R10とR12の抵抗値も低く設定される。このため、図3に示す終端回路において、抵抗素子R10とR12に常に大きなバイアス電流が流れ、無駄な電力損失が生じる。

【0032】図4は、本発明のクランプ回路を用いたインターフェース回路の一例を示している。図3に示すインターフェース回路に比べて、このインターフェース回路では、CMOSドライバーDRV1の代わりにULTTLドライバーDRV2が用いられている。ドライバーDRV2の出力が伝送路TLを通してバッファBUF1, BUF2, ..., BUF5に伝送される。伝送路の終端において、図3に示す抵抗素子で構成された終端回路がなく、その代わりに各バッファBUF1, BUF2, ..., BUF5の入力端子にクランプ回路CLP1, CLP2, ..., CLP5が接続されている。ここで、クランプ回路CLP1, CLP2, ..., CLP5は、図1に示すクランプ回路と同じ構成を有するものである。

【0033】図4に示すインターフェース回路において、抵抗素子によって構成された終端回路がないため、抵抗素子を流れるバイアス電流による無駄な電力損失が発生しない。各バッファの入力端子に設けられたクランプ回路CLP1, CLP2, ..., CLP5によって、伝送線TL上に信号の反射などによって発生する大きな電圧がクランプされる。即ち、伝送線TLにおける信号の反射が防止でき、インターフェース回路における反射ノイズを抑制できる。

【0034】図5(a)と(b)は、図3のCMOSドライバーDRV1と終端抵抗を用いた終端回路及び図4のULTTLドライバーDRV2とクランプ回路を用いた終端回路の電流を示している。図5(a)において、A1とA2は、それぞれCMOSドライバーDRV1の出力がハイレベル及びローレベルのときの出力インピーダンス特性を示し、Bは終端抵抗素子のインピーダンス特性を示している。ここで、電源電圧V_{cc}を、例えば3Vとし、抵抗素子R10とR12の抵抗値をともに200Ωとする。この場合、終端抵抗R、即ち、抵抗素子R10とR12の並列抵抗値が100Ωとなる。

【0035】図5(a)に示すように、CMOSドライバーDRV1の出力がハイレベルのとき、伝送線TLの電圧Vはハイレベルの出力インピーダンス特性A1と終端抵抗のインピーダンス特性Bとの交差点Hに安定する。このとき、CMOSドライバーDRV1から伝送線TLに電流I_Hが供給される。一方、CMOSドライバーDRV1の出力がローレベルのとき、伝送線TLの電圧Vは、ローレベルの出力特性A2と終端抵抗のインピーダンス特性Bとの交差点Lに安定する。このとき、CMOSドライバーDRV1から負の電流I_Lが伝送線TLに供給される。即ち、伝送線TLからドライバーDRV1の出力端子Tに引き込み電流I_Lが発生する。

【0036】図5(b)において、C1とC2は、それぞれULTTLドライバーDRV2の出力がハイレベル及びローレベルのときの出力インピーダンス特性を示し、D1及びD2は、それぞれクランプ回路の上側(ハイレベル側)と下側(ローレベル側)のクランプ特性を示している。また、点線Bにより、同図(a)と同じ終端抵抗を用いた場合のインピーダンス特性を示している。

【0037】図5(b)に示すように、ULTTLドライバーDRV2を用いた場合、その出力インピーダンスが出力信号レベルに応じて2段階で切り換わる。例えば、ハイレベル側では、出力信号の電圧が一定のレベルを超えると、出力インピーダンスが大きくなり、逆にローレベル側では、出力信号の電圧が一定のレベル以下になると、出力インピーダンスが大きくなる。信号線TLを駆動するドライバーにおいては、出力インピーダンスを小さくすることにより、伝送線の反射を抑制する効果が向上するが、消費電力低減の面から好ましくない。図

5 (b) に示すように出力インピーダンス特性を2段式にすることによって、反射の抑制と消費電力の低減という相反する目的を達成できる。

【0038】例えば、UL TTL ドライバーDRV2と終端抵抗を用いたインターフェース回路において、UL TTL ドライバーDRV2の出力がハイレベルのとき、伝送線TLの電圧Vはハイレベルの出力インピーダンス特性C1と点線で示している終端抵抗のインピーダンス特性Bとの交差点H1に安定する。このとき、UL TTL ドライバーDRV2から伝送線TLに電流I_{H1}が供給される。一方、UL TTL ドライバーDRV2の出力がローレベルのとき、伝送線TLの電圧Vはローレベルの出力インピーダンス特性C2と点線で示している終端抵抗のインピーダンス特性Bとの交差点L1に安定する。このとき、UL TTL ドライバーDRV2から伝送線TLに負の電流(引き込み電流)I_{L1}が供給される。

【0039】図5(a)と(b)を比べると、I_{H1} < I_H、|I_{L1}| < |I_L|、即ち電流I_{L1}の絶対値が電流I_Lの絶対値より小さい。同じ抵抗終端に対して、UL TTL ドライバーDRV2を用いた場合、CMOS ドライバーDRV1を用いた場合よりドライバーの駆動電流を小さくでき、低消費電力化が図れる。

【0040】ここで、図3に示すように、終端抵抗の代わりにクランプ回路を用いたインターフェース回路とした場合、さらに、ドライバーの駆動電流の低減を実現できる。具体的に、図5(b)に示す通り、UL TTL ドライバーDRV2の出力がハイレベルのとき、伝送線TLの電圧Vはハイレベルの出力インピーダンス特性C1とハイレベル側のクランプ特性D1との交差点H2に安定する。このとき、UL TTL ドライバーDRV2から伝送線TLに電流I_{H2}が供給される。一方、UL TTL ドライバーDRV2の出力がローレベルのとき、伝送線TLの電圧Vはローレベルの出力インピーダンス特性C2とローレベル側のクランプ特性D2との交差点L2に安定する。このとき、UL TTL ドライバーDRV2から伝送線TLに負の電流(引き込み電流)I_{L2}が供給される。

【0041】図示のように、I_{H2} < I_{H1}、|I_{L2}| < |I_{L1}|、即ち電流I_{L2}の絶対値が電流I_{L1}の絶対値より小さい。このように、UL TTL ドライバーDRV2を用いて伝送線TLを駆動する場合、抵抗終端より本発明のクランプ回路を用いた方がドライバーの駆動電流が小さくなり、低消費電力化が図れる。さらに、抵抗終端の場合、UL TTL ドライバーDRV2の出力信号レベルにかかわらず、常に抵抗素子にバイアス電流が流れるので、無駄な消費電力が生じる。クランプ回路を用いた場合、終端用抵抗素子が不要となり、バイアス電流により生じた電力損失が防げる。

【0042】なお、以上説明した本発明のクランプ回路の実施形態は、MOSトランジスタとダイオードによっ

て構成されている。本発明のクランプ回路は、これに限定されるものではなく、例えば、バイポーラトランジスタとダイオードによって構成することも可能である。その一例として、図6に示すクランプ回路が挙げられる。

【0043】図示のように、この例では、図1に示すn MOSトランジスタNT1の代わりにnpnトランジスタN1が用いられ、p MOSトランジスタPT1の代わりにpnpトランジスタP1が用いられる。npnトランジスタN1において、そのベースにノードND1の分圧電圧V_{ND1}が印加され、コレクタが電源電圧V_{cc}の供給線に接続され、エミッタがダイオードD1のアノードに接続されている。pnpトランジスタP1においては、そのベースにノードND2の分圧電圧V_{ND2}が印加され、コレクタが接地され、エミッタがダイオードD2のカソードに接続されている。

【0044】npnトランジスタN1のベース-エミッタ間電圧をV_{ben}とし、pnpトランジスタP1のベース-エミッタ間電圧をV_{bep}とし、ダイオードD1、D2及び分圧用抵抗素子R1、R2、R3は、図1に示すクランプ回路と同じ条件とすると、図6のクランプ回路の下側クランプ電圧V_{CL1}及び上側クランプ電圧V_{CL2}は、それぞれ(V_{ND1}-V_{ben}-V_{D1})、(V_{ND2}+V_{bep}+V_{D2})となる。

【0045】また、npnトランジスタN1のエミッタと入力端子T_{in}との間に、縦続接続されている2段以上のダイオードを設けて、また、入力端子T_{in}とpnpトランジスタP1のエミッタ間に縦続接続されている2段以上のダイオードを設けてもよい。さらに、図6に示すクランプ回路において、ノードND1とND2の電圧V_{ND1}とV_{ND2}を制御するためのn MOSトランジスタNT2は、npnトランジスタまたはpnpトランジスタの何れかに置き換てもよい。また、図1において、トランジスタNT1とダイオードD1との接続関係、並びにダイオードD2とトランジスタPT1との接続関係をそれぞれ逆にしてもよい。この場合、ダイオードD1、D2がそれぞれ電源電圧V_{cc}側、接地電位GND側に接続され、トランジスタNT1、PT1がそれぞれ入力端子T_{in}に接続される。

【0046】

【発明の効果】以上説明したように、本発明のクランプ回路によれば、回路構成の簡素化が図れ、消費電力の低減を実現できる。さらに、本発明のクランプ回路を用いたインターフェース回路において、各バッファ回路の入力側にクランプ回路を設けることによって、伝送線の終端に通常必要であった終端抵抗を省くことができ、終端抵抗のバイアス電流による無駄な電力損失を防止できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るクランプ回路の一実施形態を示す回路図である。

【図2】図1に示すクランプ回路のクランプ電圧範囲を示す図である。

【図3】CMOSドライバーと終端抵抗を用いたインターフェース回路の一例を示す回路図である。

【図4】ULTTLドライバーとクランプ回路を用いたインターフェース回路の一例を示す回路図である。

【図5】インターフェース回路における電流を示す図である。

【図6】本発明に係るクランプ回路の他の構成例を示す回路図である。

【図7】従来のクランプ回路の一例を示す回路図である。

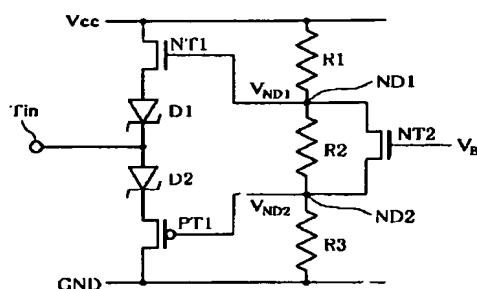
【図8】図6に示すクランプ回路のクランプ電圧範囲を示す図である。

【図9】クランプ回路の他の例を示す回路図である。

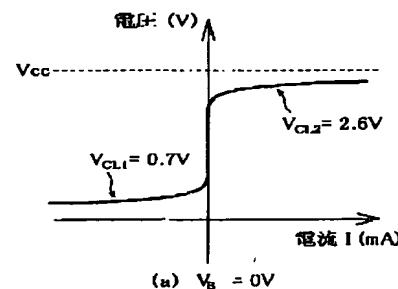
【符号の説明】

NT1, NT2…nMOSトランジスタ、PT1…pMOSトランジスタ、R1, R2, R3, R10, R12…抵抗素子、D1, D2…ダイオード、DRV1, DRV2…ドライバー、BUF1, BUF2, BUF3, BUF4, BUF5…バッファ、TL…信号伝送線、CLP1, CLP2, CLP3, CLP4, CLP5…クランプ回路、V_{CC}…電源電圧、GND…接地電位。

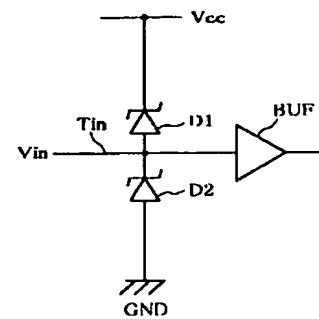
【図1】



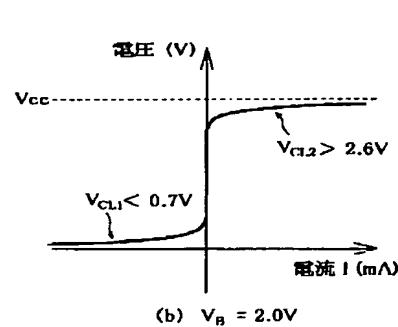
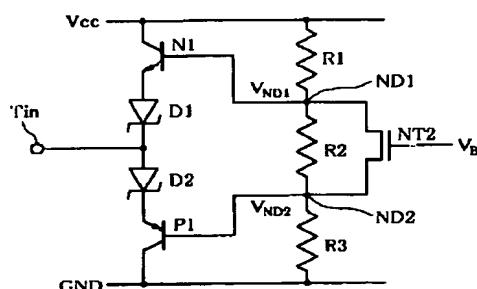
【図2】



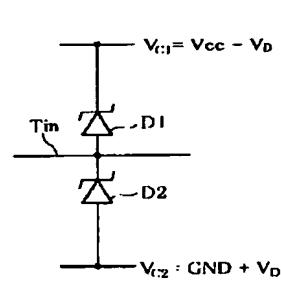
【図7】



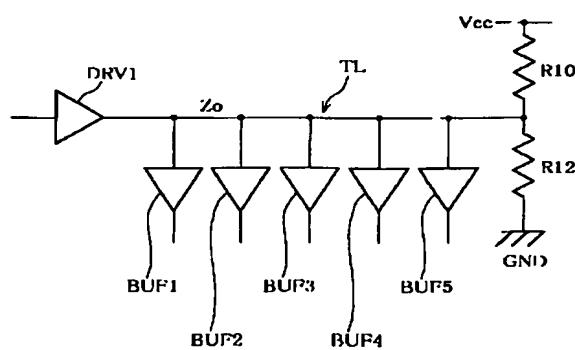
【図6】



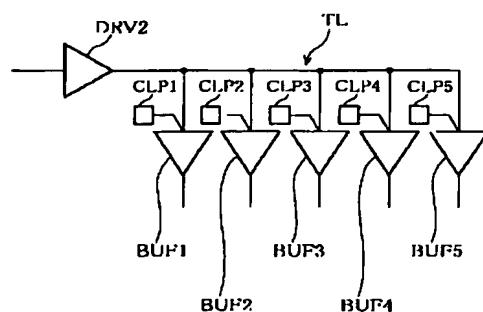
【図9】



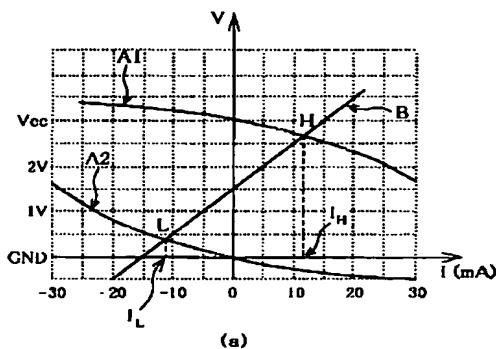
【図3】



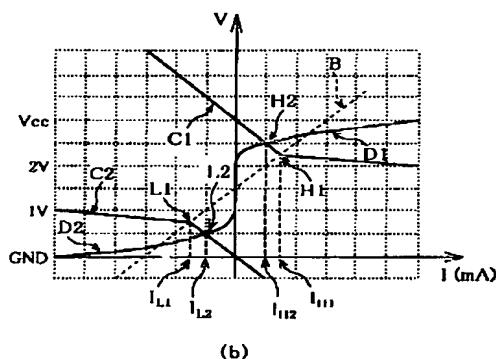
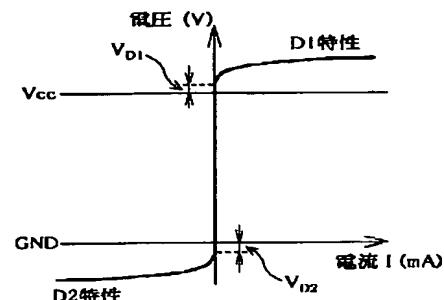
【図4】



【図5】



【図8】



フロントページの続き

(51) Int.CI.⁷
H 0 3 K 19/0944
H 0 4 L 25/02

識別記号

F I
H 0 3 K 19/094

(参考)

A

F ターム(参考) 5F038 BE08 BH02 BH04 BH06 BH07
BH13 BH15 BH19 CD08 DF07
EZ20
5J032 AA04 AB02 AB11 AC03 AC04
AC17 AC18
5J056 AA00 AA11 AA40 BB17 BB23
BB46 BB52 DD02 DD13 DD25
DD28 DD57 FF07 FF08
5K029 AA02 AA13 AA18 DD04 HH01
JJ08 LL06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.